

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021181

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G11C 16/02

(21)Application number : 10-184140

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 30.06.1998

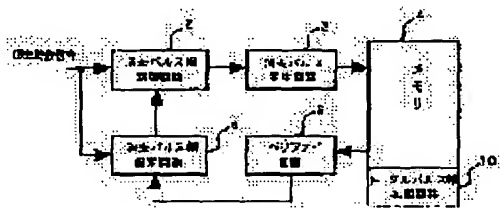
(72)Inventor : HONNA KOICHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a total time required in an erase mode by changing a pulse width of erase pulses in the erase mode of a memory cell in accordance with the lapse of time, not making the pulse width constant.

SOLUTION: When a verify circuit 5 judges that an erasure is not sufficient, a signal showing a difference of a threshold value from a target value is sent to an erase pulse width-setting circuit 6. The erase pulse width-setting circuit 6 calculates an erase pulse width to make constant a change amount of the threshold value of a memory cell and supplies the calculation result to an erase pulse width control circuit 2. The verify circuit 5 stops the operation of the erase pulse width-setting circuit 6 when the read threshold value of the memory cell is equal to or smaller than the target value, thereby terminating the erasure. At the same time, a total pulse width memory circuit 10 stores a total pulse width which is a sum of pulse widths of erase pulses fed to the memory cell to be erased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2000-21181(P2000-21181A)
 (43)【公開日】平成12年1月21日(2000. 1. 21)
 (54)【発明の名称】不揮発性半導体記憶装置
 (51)【国際特許分類第7版】

G11C 16/02

【F】

G11C 17/00 612 E

- 【審査請求】未請求
 【請求項の数】4
 【出願形態】OL
 【全頁数】8
 (21)【出願番号】特願平10-184140
 (22)【出願日】平成10年6月30日(1998. 6. 30)
 (71)【出願人】
 【識別番号】000005821
 【氏名又は名称】松下電器産業株式会社
 【住所又は居所】大阪府門真市大字門真1006番地
 (72)【発明者】
 【氏名】本名 幸一
 【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (74)【代理人】
 【識別番号】100086737
 【弁護士】
 【氏名又は名称】岡田 和秀
 【テマコード(参考)】

58025

【Fターム(参考)】

58025 AD08 AE05

(57)【要約】

【課題】フラッシュEEPROMのように、電氣的に同一のメモリ領域に対して複数回の消去動作を繰り返して消去が完遂される構成の不揮発性半導体記憶装置において、従来よりも消去に要する全体的な時間を短縮化して迅速な消去動作を実現する。
 【解決手段】ペリファアイ回路5で消去動作の繰り返し内にメモリ4のセルのデータを読み出して当該セルの消去状態を判断し、セルのデータが完全に消去されていない場合には、消去パルスのパルス幅を消去回数に応じて変化させるパルス幅制御手段2、6を備えている。

【特許請求の範囲】

【請求項1】電氣的に同一のメモリ領域に対して複数回の消去動作を繰り返して消去が完遂される構成のもので、消去動作の繰り返し回数のうち少なくとも1回はメモリセルの読み出し動作である

ペリファアイを行って消去状態を判断し、消去動作の継続または停止を行う不揮発性半導体記憶装置において、消去パルスのパルス幅を消去回数に応じて変化させるパルス幅制御手段を備えることを特徴とする不揮発性半導体記憶装置。

【請求項2】請求項1記載の不揮発性半導体記憶装置において、前記パルス幅制御手段は、消去動作の場合のメモリセルのしきい値の変化量が常に一定となるようにパルス幅を変更するものであることを特徴とする不揮発性半導体記憶装置。

【請求項3】請求項1または請求項2記載の不揮発性半導体記憶装置において、メモリセルのデータが完全に消去されるまでに要した全消去時間を記憶する手段を備えることを特徴とする不揮発性半導体記憶装置。

【請求項4】請求項3記載の不揮発性半導体記憶装置において、前記記憶手段は、メモリセルロックごとに設けられていることを特徴とする不揮発性半導体記憶装置。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全ビットを一括消去、あるいはブロック単位ごとのビットを一括消去するような場合に、同一のメモリ領域に対して書き込み／消去を複数回繰り返すことによつて書き込み／消去を完遂するフラッシュEEPROMのような不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】一般に、フラッシュEEPROMでは、データ書き換えのために、全ビットを一括消去、あるいはブロック単位ごとのビットを一括消去する場合、消去対象となるビットを構成するメモリセルに対して、図5に示すように、コントロールゲート801とPW805間に所定の電圧を印加し、フローティングゲート804にある電荷をトンネル現象を利用してコントロールゲート801に放出する。

【0003】このようなフラッシュEEPROMは、紫外線で消去を行うUVEEPROMの場合と異なり、電氣的に消去動作を続けるうちに、メモリセルのしきい値が負の電圧となる、いわゆる過消去になることがある。そして、メモリセルが過消去になると、ワード線の電圧、すなわちメモリセルのゲート電圧がOVであってもデータ線に電流(リーク電流)が流れ、それによつて、読み出し時間の遅れや、誤読み出しを起こしてしまうなどの不都合を生じる可能性がある。

【0004】したがつて、メモリセルを消去した後のしきい値電圧のばらつきを抑制し、メモリセルのしきい値が負の電圧にならないようつまずり、過消去にならないように、精度良く制御する必要がある。【0005】そのため、従来技術では、しきい値を下げるためにメモリセルに加える消去パルスのパルス幅を十分短くして何回かに分けて消去動作を行い、かつ、消去動作の繰り返しの中でメモリセルの読み出し動作(以下、ペリファイという)を行つて、消去が十分行われ、かつ過消去になっていないかを確認している。

【0006】次に、従来の消去モードのアルゴリズムを図6のプローチャートを用いて具体的に説明する。

【0007】消去動作の前に未書き込みのメモリセルのしきい値電圧が存在する場合、消去動作を行うことによつて過消去になってしまう。これを防ぐために、予め全メモリセルに対して書き込みを行う。

【0008】これには、まず、初期アドレスを設定し(ステップ601)、そのアドレスに対して書き込み動作をおこなう(ステップ602)。

【0009】次に、アドレスをインクリメントし(ステップ603)、最終アドレスかどうかを判定して(ステップ604)、最終アドレスでなければ、最初のステップ602に戻つて更新されたアドレスに対して再び書き込みを行う。

【0010】こうして、全メモリセルに対する書き込みが終了すれば、次に、一定のパルス幅をもつ消去パルスを使って全てのメモリセルに対して消去動作を行う。

【0011】これには、まず、初期アドレスを設定した後(ステップ605)、そのアドレスのメモリセルに対して一定のパルス幅をもつ消去パルスを出力する(ステップ606)。

【0012】次に、そのメモリセルのしきい値が目標としていた消去しきい値に達しているかどうかをペリファイによつて判定する(ステップ607)。

【0013】そのメモリセルのしきい値が目標とされる消去しきい値に達していないければ、ステップ606に戻つて再びそのメモリセルに消去パルスを与えて消去しきい値になるまで消去動作を行う。【0014】そして、メモリセルのしきい値が目標とされる消去しきい値に達していることがペリファイで判定されれば、次にアドレスをインクリメントし(ステップ608)、最終アドレスかどうかを判定する(ステップ609)。

【0015】最終アドレスでなければ、ステップ607まで戻つて更新されたアドレスに該当するメモリセルについて、そのしきい値が目標としていた消去しきい値に達しているかどうかをペリファイによつて判定し、消去しきい値に達していないときには、ステップ606に戻つてこの一つのメモリセルに対する消去動作を行う。

【0016】こうして、ステップ609で最終アドレスになった場合には、全メモリセルが消去しきい値に達したものとみなして、消去モードを終了する。

【0017】

【発明が解決しようとする課題】従来のフラッシュEEPROMでの 込及び消去パルスのパルス幅は、常に一定に設定されているために、 込及びペリファイを何回も繰り返さなければならず、それだけ長時間を要していた。たとえば、一つのメモリセルを完全に消去状態にするまでの全時間

が1000ms必要であるとした場合、基本の消去パルスのパルス幅を10msとすると、ペリファイ動作を100回行う必要がある。

【0018】また、上記の消去動作とペリファイでは、図5に示したメモリセルのコントロールゲート801、ドレイン803、ソース802に印加される電圧が異なるので、電源等の切り換え時間が必要になってくる。このため、メモリセルに印加される電源等の切り換え時間の総和もそれだけ長くなる。【0019】その結果、消去モードが終了するまでに全体として長時間を要することになってくる。【0020】そこで、本発明は、消去モードに要する全体の時間を一層短縮化した不揮発性半導体装置を提供することを課題としている。

【0021】【課題を解決するための手段】上記の課題を達成するため、本発明では、次のようにしている。

【0022】■ 図7に示すように、横軸をメモリセルの消去時間(ただし対数軸)、縦軸をメモリセルのしきい値電圧とした場合、メモリセルの消去時間によつてしきい値電圧がほぼ直線状に変化している。これは、消去パルス幅を一定とした場合、消去動作の回数が増えれば増えるほど各パルス幅に対するメモリセルのしきい値の変化量が少なくなることを意味する。

【0023】そこで、本発明では、メモリセルの消去モードでの消去パルスのパルス幅を一定とせず、パルス幅を時間経過に伴つて変化させる手段を設けることで、繰り返し行われる消去の回数全体として減らすようにしている。

【0024】これにより、メモリセルに印加される電圧等の切り換え回数も削減されるので、メモリセルを消去する場合に要する全体的な時間を短縮化できる。

【0025】■ また、メモリセルを消去するのに要した消去パルスのパルス幅の総和を記憶する手段を設け、次回、同じメモリセルを新たに消去する場合には、初期パルスとしてこの記憶手段で記憶していた総和のパルス幅をもつ消去パルスを与えるようにしている。

【0026】これにより、メモリセルを2回目以降、同様に消去する場合に要する全体的な時間を大幅に短縮化することができる。

【0027】

【発明の実施の形態】実施形態1 図1は、本発明の実施形態1に係る不揮発性半導体記憶装置の要部の構成を示すブロック図である。

【0028】同図において、4はメモリで、本例ではフラッシュEEPROMからなり、そのメモリセルは、図5に示すようにフローティングゲート804、コントロールゲート801、ソース802、ドレイン803から構成されている。

【0029】3はメモリ4を構成する各メモリセルのデータを消去するための消去パルスを発生する消去パルス発生回路、2はその消去パルスのパルス幅を制御するためのパルス幅制御回路、5はメモリ4の各メモリセルが十分に消去されているかどうかを調べるためにペリファイを行うペリファイ回路、6はペリファイ回路5のペリファイに基づいて消去パルスのパルス幅を設定する消去パルス幅設定回路、10は各メモリセルを完全に消去するまでに出力された個々の消去パルスのパルス幅の総和(以下、トータルパルス幅という)を記憶するトータルパルス幅記憶回路である。

【0030】次に、図1の構成において、まず、一つのメモリセルのデータを消去する場合の動作について説明する。

【0031】ペリファイ回路5は、メモリ4内のある特定の一つのメモリセルのデータを読み出し、そのしきい値が目標値まで下がっているかどうかを判断する。そして、その判断結果を消去パルス幅設定回路6に送る。消去パルス幅設定回路6は、ペリファイ回路5において未だ消去が十分に行われていないと判断されると、そのしきい値が目標値とどの程度の差があるかの信号を消去パルス幅設定回路6に与える。

【0032】消去パルス幅設定回路6は、メモリセルのしきい値の変化量が一定になるように、消去パルスのパルス幅を計算し、その計算結果を消去パルス幅制御回路2に与える。消去パルス幅制御回路2は、その計算結果に応じたパルス幅をもつ消去パルスを出力されるように消去パルス発生回路3を制御する。

【0033】このため、消去パルス発生回路3からは、前記消去パルス幅設定回路6で設定されたパルス幅を有する消去パルスが発生され、この消去パルスがメモリ4の該当するメモリセルに加わるため、メモリセルには、消去パルスのパルス幅の時間分だけ高電圧(消去電圧)が印加される。【0034】一方、ペリファイ回路5は、メモリセルに消去パルスが印加された後、メモリセルのしきい値が目標値まで下がっているかどうかを判断する。そして、メモリセルのしきい値が目標値に達していない場合には、その情報が消去パルス幅設定回路6に送られて動作が継続される。【0035】ペリファイ回路5は、読み出されたメモリセルのしきい値が目標値と等しいか、あるいはそ

れよりも低い値となった場合には、上記の消去パルス幅設定回路6の動作を停止し、消去が終了する。これと同時に、消去パルス記憶回路10には、消去対象となったメモリセルに与えた消去パルスのパルス幅の総和であるトータルパルス幅が記憶される。

[0036]以上はメモリ4を構成する一つのメモリセルに対する消去動作についての説明であるが、次に、メモリ4の全ビットを消去する消去モード時の動作について、図2に示すフローチャートを参照して説明する。

[0037]メモリ4の消去モードが開始されると、まず、ステップ200では、実際に消去動作を行う前に予め未書きのメモリセル4のしきい値を揃えるために全メモリセルに対して書き(プレライト)を行う。

[0038]次に、ステップ201では、初期アドレスの設定を行った後、引き続き、ステップ202で、メモリ4の消去対象となるセルについて、今までの消去回数が「0」か否かを判定する。

[0039]消去対象となっているメモリセルがいまだ一度も消去されることがなく、消去回数が「0」である場合には、消去パルス発生回路3から、初めに基本のパルス幅(たとえば10ms)をもつ消去パルスがメモリ4の消去対象となっている一つのセルに対して印加される。

[0040]メモリ4の該当するセルに消去パルスが印加された後、ステップ204では、そのメモリセルのしきい値が目標値まで下がっているか否かがペリファイ回路5で判断される。

[0041]メモリセルのしきい値が目標値まで下がっていない場合には、ステップ205において、消去パルス幅設定回路6によってメモリセル4のしきい値の変化量が一定になるようなパルス幅が計算された後、ステップ203において、消去パルス幅制御回路2で消去パルス発生回路3から出力される消去パルスのパルス幅が変更され、これがメモリ4の該当するセルに印加される。

[0042]ステップ204で、メモリ4の該当するセルのデータが完全に消去状態になると判断された場合には、ステップ206でメモリ4のアドレスを変更し、続いて、ステップ207において、その変更したアドレスが最終アドレスか否かを判断する。そして、メモリセルのアドレスが最終アドレスでなければ、ステップ204に戻り、以後、メモリ4の全セルのデータが完全に消去状態になるまで、ステップ203～207までが繰り返される。

[0043]一方、ステップ207において、メモリ4の消去対象となるセルのアドレスが最終アドレスの場合、消去パルスの発生を停止し、トータルパルス幅記憶回路10に消去パルスのトータルパルス幅のデータが記憶される。

[0044]また、ステップ202において、メモリ4のデータ消去対象となるセルについて、今までの消去回数「0」以外の場合、つまり、そのセルが以前に既に少なくとも一回は消去された履歴がある場合には、ステップ209で、トータルパルス幅記憶回路10に記憶されているその該当するセルについてのトータルパルス幅のデータを読み出す。そして、次のステップ203で消去パルス発生回路3から消去パルスを出力するときには、同回路3からのトータルパルス幅をもつ消去パルスを最初に発生して、これを消去対象となっているセルに印加する。以後は、ステップ203～207の動作が繰り返される。

[0045]実施形態2図3は本発明の実施形態2に係る不揮発性半導体記憶装置の要部の構成を示すブロック図である。

[0046]図1に示した実施形態1の構成では、消去パルス幅設定回路6でパルス幅を逐次計算させているが、こうすると、メモリセルのしきい値の変化量が常に一定になるように制御できる利点があるものの、その計算のために余分な時間を要するおそれがある。

[0047]そこで、この実施形態2では、図1に示した消去パルス幅制御回路2と消去パルス幅設定回路6に代えて、パルス幅設定用の複数(本例では5個)のカウンタ7₁～7₅と、ペリファイ回路5の出力に基づいて各カウンタ7₁～7₅の出力を選択するカウンタ選択回路8とを設け、各カウンタ7₁～7₅には、図7で示したメモリセルの消去時間に伴うしきい値の変化特性を考慮して、図4に示すように、消去パルスのパルス幅を設定するための時間を一義的に設定している。この例では、カウンタ7₁～7₅の数に合わせて5種類の時間を設定している。

[0048]その他の構成は、図1に示した実施形態1の場合と同様であるから、ここでは詳しい説明は省略する。

[0049]次に、図3に示す構成において、メモリ4の一つのセルのデータを消去する場合の動作について説明する。

[0050]消去モードになると、カウンタ選択回路8が動作可能となり、同回路8は、最初は、最後のカウンタ7₁の出力を選択する。このため、このカウンタ7₁からは、消去パルスのパルス幅を

設定するための時間データとしてここでは10msのパルス幅を有するクロックが消去パルス幅発生回路3に送られるので、消去パルス発生回路3は、送られてきたパルス幅をもつ消去パルスをメモリ4の該当する一つのセルに与えることで、セルに消去電圧が印加される。

[0051]消去パルス発生回路3によるメモリセルの消去電圧の印加が終わると、そのセルのデータをペリファイ回路5で読み出して、そのセルのデータが全て消去状態になっているかを判断する。

[0052]ペリファイ回路5によってメモリ4の当該セルのデータが完全に消去状態でない場合には、その番号がカウンタ選択回路8に与えられ、次段のカウンタ7₂の出力を選択する。このため、このカウンタ7₂からは、消去パルスのパルス幅を設定するための時間データとしてここでは90msのパルス幅を有するクロックが消去パルス幅発生回路3に送られるので、消去パルス発生回路3は、送られてきたパルス幅をもつ消去パルスをメモリ4の当該セルに与えることで、セルに消去電圧が印加される。

[0053]このようにして、メモリ4の当該セルのデータが完全に消去状態になるまでは、カウンタ選択回路8によって順次カウンタ7₁～7₅が選択されることで、メモリ4の該当するセルに消去電圧が印加される。

[0054]なお、以上はメモリ4の一つのセルに対する消去動作について説明したが、メモリ全体の消去動作は、先に示した図2のプロチャートの動作と基本的に同じである。

[0055]ただし、図2のステップ205において、実施形態1では、消去パルスのパルス幅がメモリセルのしきい値の変化量が常に一定になるように制御されているのに対して、この実施形態2では、パルス幅が図4に示したように5種類のものに一義的に設定されている点で異なる。

[0056]ここで、一つのメモリセルを完全に消去状態にするまでに要する時間の総和が1000msとした場合、この実施形態2では、ペリファイ動作は5回で済むのに対して、従来のアルゴリズム(図6参照)の場合、消去パルス幅の基本のパルス幅を10msとすると、ペリファイ動作を100回行う必要がある。本例では、従来例と比べて格段の優位性を持つことが分かる。

[0057]また、この実施形態2においても、トータルパルス幅記憶回路10を設けているので、メモリ4の消去対象となるセルについて、今までの消去回数「0」以外の場合、つまり、そのセルが以前に既に少なくとも一回は消去された履歴を有する場合には、図2のステップ209で、トータルパルス幅記憶回路10に記憶されているその該当するセルについてのトータルパルス幅のデータを読み出し、そのトータルパルス幅をもつ消去パルスを該当するメモリセルに最初に印加すること

で、2回目以降での消去時間を大幅に短縮化することができる。

[0058]変形例(1) 上記の実施形態1、2では、メモリ4の全ビットを一括消去する場合は前提として説明したが、消去回路の電流能力等のために、一括で消去できるメモリセル領域は必ずしも決ま

っていることがある。

[0059]そこで、このような場合には、全ビットを一括消去するのではなく、ブロック単位ごとにそのブロックに含まれるビットを一括消去することになる。その場合、消去後のメモリセルのしきい値は、メモリセルブロックごとに異なっていて、ブロック間でばらつきがある。

[0060]このようにときには、消去後の各々のメモリセルのしきい値ばらつきを最小限に抑えるために、各ブロック単位でトータルパルス幅記憶回路10を設け、図2に示した動作を行う場合には、データが完全に消去されるまでに要した消去時間をブロック毎に設けたトータルパルス幅記憶回路10に格納するようにする。こうすることによって、効率よく消去時の時間管理を行うことができ、消去後のしきい値のブロック間のばらつきを抑え、過消去状態になる恐れがなくなるため、都合がよい。

[0061]2) 上記の実施形態1、2では、メモリ4の各セルのデータを消去する消去モードの場合についてのみ説明したが、メモリ4の各セルにデータを書き込む場合に、同一のセルに対して、込動作を複数回繰り返すことによってデータの書き込みを完遂する構成の場合も事情は同じであり、そのような不揮発性半導体記憶装置についても、本発明を適用することができるのは勿論である。

[0062]

[発明の効果] 本発明によれば、次の効果を奏する。

[0063] (1) ペリファイ動作の回数を低減し消去動作に必要な時間も短縮される。このため、従来よりも消去に要する全体的な時間が短縮化され、迅速な消去動作を実現することができる。

[0064] (2) また、メモリセルが既に消去された履歴がある場合には、そのメモリセルの2回目以降の消去にかかる時間は、大幅に短縮される、かつメモリセルのしきい値のばらつきも最小限に

抑えられる。

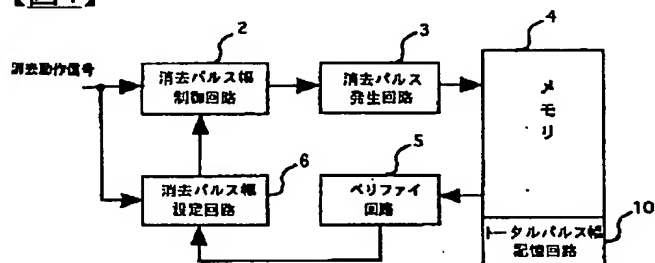
図の説明

【図面の簡単な説明】

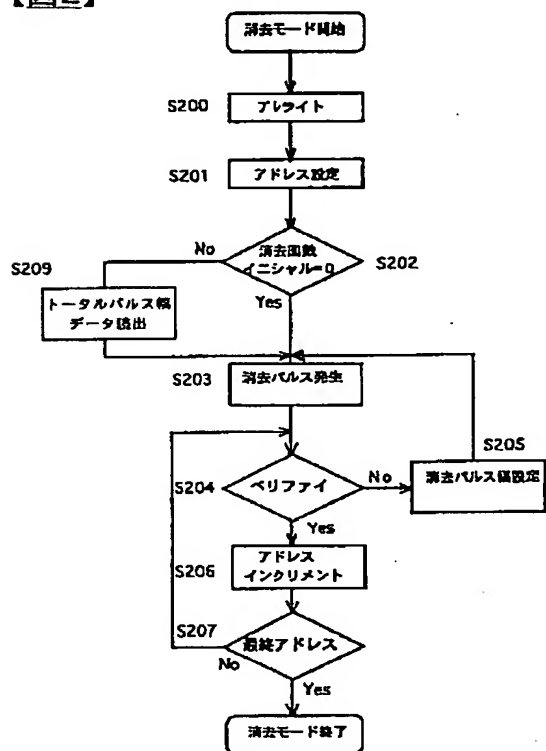
- 【図1】本発明の実施形態1に係る不揮発性半導体記憶装置の要部の構成を示す概略ブロック図
【図2】実施形態1において、メモリの全ビットのデータを一括消去する場合の動作説明に供するフローチャート
【図3】本発明の実施形態2に係る不揮発性半導体記憶装置の要部の構成を示す概略ブロック図
【図4】実施形態2において、メモリのセルに加える消去パルスのパルス幅の種類を示す説明図
【図5】メモリセルの基本構成図
【図6】従来例において、メモリの全ビットのデータを一括消去する場合の動作説明に供するフローチャート
【図7】しきい値電圧と消去パルスとの時間特性の一例を示す図
【符号の説明】
2…消去パルス幅制御回路、3…消去パルス発生回路、4…メモリ、5…ペリファイ回路、6…消去パルス幅設定回路、10…トータルパルス幅記憶回路。

図面

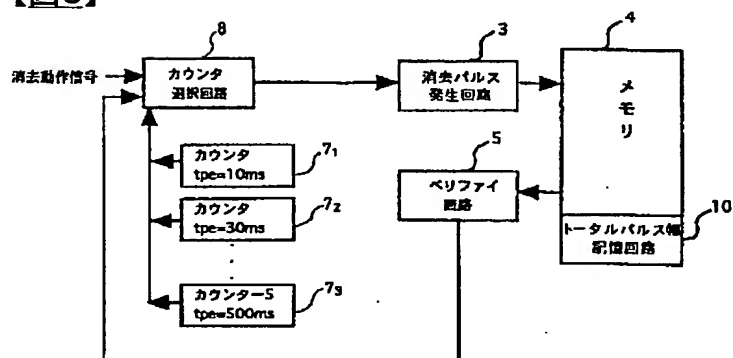
【図1】



【図2】



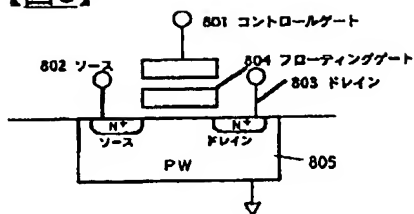
【図3】



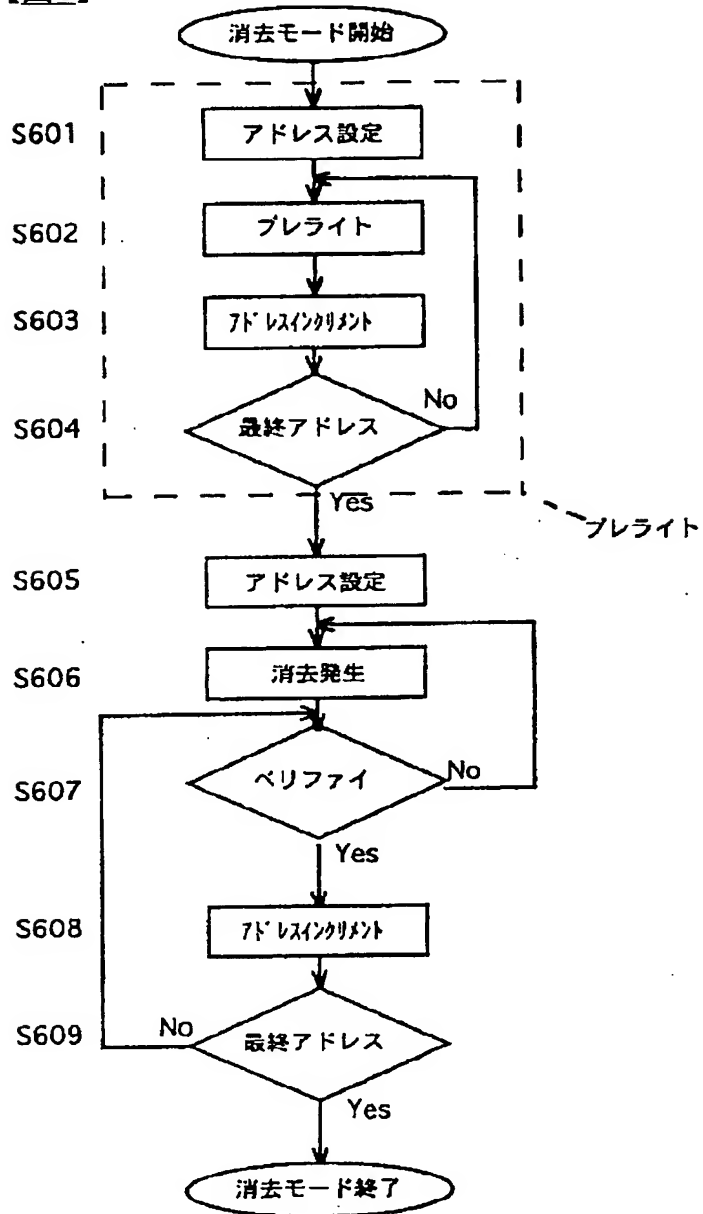
【図4】

カウンタ	Tpe
7 ₁	10ms
7 ₂	90ms
7 ₃	100ms
7 ₄	500ms
7 ₅	500ms

【図5】



【図6】



【図7】

